

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-086571

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

G11C 16/02

G11C 16/04

(21)Application number : 09-243960

(71)Applicant : SONY CORP

(22)Date of filing : 09.09.1997

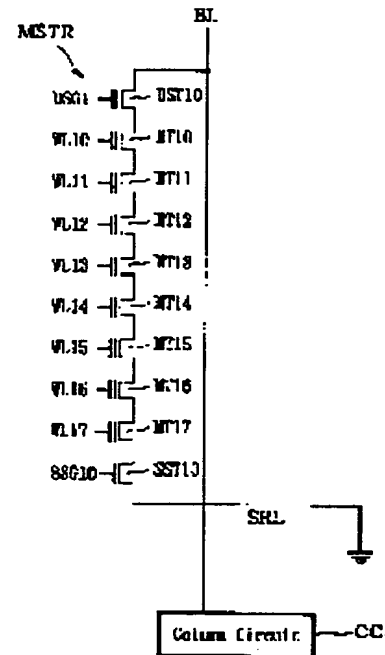
(72)Inventor : OGISHI TAKESHI

(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND ITS DATA WRITING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve writing inhibiting operation controllability and characteristic into a memory cell by providing a memory cell transistor wherein a stored electric charge quantity in an electric charge storage part is varied in accordance with an applied voltage to connected word lines and bit lines and a threshold voltage is varied in accordance with it.

SOLUTION: (n) type memory cell transistors MT10-MT17 capable of writing and erasing data by the storage and discharge of electric charges in a floating gate are connected in series with a memory string MSTR, and its control gate CG is connected to word lines WL10-WL17. A drain of the memory cell transistor MT10 is connected to the bit line via a selection transistor DST10 wherein a gate electrode is connected to a selection signal feeding line DSG10. The selection transistor DST10 is composed of a stack gate type transistor whose threshold V_{th10} is variable, and the threshold V_{th10} is varied to the value of e.g. nearly 0-1 V. Whereby, the applying voltage to the selection signal feeding line DSG10 is controlled so as to take a required threshold in accordance with operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-86571

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁵

G 1 1 C 16/02
16/04

識別記号

F I

G 1 1 C 17/00

6 1 1 E

6 2 1 B

6 2 2 E

審査請求 未請求 請求項の数21 O L (全 9 頁)

(21) 出願番号 特願平9-243960

(22) 出願日 平成9年(1997) 9月9日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 大岸 毅

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

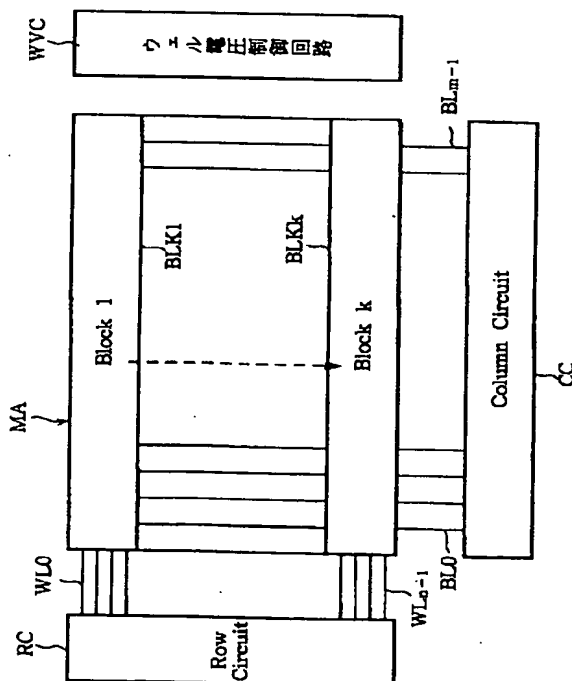
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 不揮発性半導体記憶装置およびそのデータ書き込み方法

(57) 【要約】

【課題】 メモリセルへの書き込み禁止動作の制御性および特性を改善でき、またチャネル電圧の設定間隔を広くすることができる不揮発性半導体記憶装置およびそのデータ書き込み方法を提供する。

【解決手段】 NAND型フラッシュEEPROMにおいて、各ストリングをビット線BLに接続する選択トランジスタDST10をしきい値可変なトランジスタで構成し、書き込み時に書き込み対象のストリングの選択トランジスタのしきい値を低しきい値電圧化(1Vから0Vへ遷移させ)し、非選択ブロックにおけるストリングの選択トランジスタDST10のしきい値電圧は高いしきい値のまま(1V)に保持し、書き込み終了後、低しきい値電圧化した選択されたストリングの選択トランジスタのしきい値を高いしきい値電圧(1V)に戻す。



1

【特許請求の範囲】

【請求項 1】 接続されたワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化するメモリセルトランジスタを有し、上記ビット線の電位に応じたデータの書き込みを行う不揮発性半導体記憶装置であって、

上記メモリセルトランジスタと上記ビット線との間に接続され、ゲート電極への選択信号の入力レベルに応じてしきい値電圧が可変な選択トランジスタを有する不揮発性半導体記憶装置。

【請求項 2】 書き込み動作を行う際に、上記選択トランジスタのしきい値電圧を低く設定する手段を有する請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 書き込み動作終了後、上記選択トランジスタのしきい値電圧を書き込み時の設定しきい値電圧より高く設定する手段を有する請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 上記書き込み動作終了後、上記選択トランジスタのしきい値電圧を上記書き込み時の設定しきい値電圧より高く設定する手段を有する請求項 2 記載の不揮発性半導体記憶装置。

【請求項 5】 上記選択トランジスタは、上記メモリセルトランジスタと構造が等価なトランジスタにより構成されている請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】 上記選択トランジスタは、上記メモリセルトランジスタと構造が等価なトランジスタにより構成されている請求項 2 記載の不揮発性半導体記憶装置。

【請求項 7】 接続されたワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化するメモリセルトランジスタを有し、消去動作を行った後に上記ビット線の電位に応じたデータの書き込みを行う不揮発性半導体記憶装置であって、

上記メモリセルトランジスタと上記ビット線との間に接続され、ゲート電極への選択信号の入力レベルに応じてしきい値電圧が可変な選択トランジスタと、

上記書き込み前消去動作時に、上記選択トランジスタのしきい値電圧を低く設定して書き込みを行い、書き込み終了したならば上記選択トランジスタのしきい値電圧を書き込み時の設定しきい値電圧より高く設定する手段とを有する不揮発性半導体記憶装置。

【請求項 8】 上記選択トランジスタは、上記メモリセルトランジスタと構造が等価なトランジスタにより構成されている請求項 7 記載の不揮発性半導体記憶装置。

【請求項 9】 接続されたワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化するメモリトランジスタを有し、読み出し時には、しきい値電圧に応じて設定されるワード線電圧と蓄積電荷量に基づくデータ

2

タをビット線に出力する NAND 構造の不揮発性半導体記憶装置であって、

上記メモリセルトランジスタと上記ビット線との間に接続され、ゲート電極への選択信号の入力レベルに応じてしきい値電圧が可変な選択トランジスタを有する不揮発性半導体記憶装置。

【請求項 10】 書き込み動作を行う際に、上記選択トランジスタのしきい値電圧を低く設定する手段を有する請求項 9 記載の不揮発性半導体記憶装置。

【請求項 11】 書き込み動作終了後、上記選択トランジスタのしきい値電圧を書き込み時の設定しきい値電圧より高く設定する手段を有する請求項 9 記載の不揮発性半導体記憶装置。

【請求項 12】 上記書き込み動作終了後、上記選択トランジスタのしきい値電圧を上記書き込み時の設定しきい値電圧より高く設定する手段を有する請求項 10 記載の不揮発性半導体記憶装置。

【請求項 13】 上記選択トランジスタは、上記メモリセルトランジスタと構造が等価なトランジスタにより構成されている請求項 9 記載の不揮発性半導体記憶装置。

【請求項 14】 上記選択トランジスタは、上記メモリセルトランジスタと構造が等価なトランジスタにより構成されている請求項 10 記載の不揮発性半導体記憶装置。

【請求項 15】 接続されたワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化するメモリトランジスタを有し、上記メモリトランジスタのしきい値電圧に応じて 1 個のメモリトランジスタに 3 値以上の多値データを記録し、読み出し時には、しきい値電圧に応じて設定されるワード線電圧と蓄積電荷量に基づくデータをビット線に出力する NAND 構造の不揮発性半導体記憶装置であって、

上記メモリセルトランジスタと上記ビット線との間に接続され、ゲート電極への選択信号の入力レベルに応じてしきい値電圧が可変な選択トランジスタを有する不揮発性半導体記憶装置。

【請求項 16】 書き込み動作を行う際に、上記選択トランジスタのしきい値電圧を低く設定する手段を有する請求項 15 記載の不揮発性半導体記憶装置。

【請求項 17】 書き込み動作終了後、上記選択トランジスタのしきい値電圧を書き込み時の設定しきい値電圧より高く設定する手段を有する請求項 15 記載の不揮発性半導体記憶装置。

【請求項 18】 上記書き込み動作終了後、上記選択トランジスタのしきい値電圧を上記書き込み時の設定しきい値電圧より高く設定する手段を有する請求項 16 記載の不揮発性半導体記憶装置。

【請求項 19】 上記選択トランジスタは、上記メモリセルトランジスタと構造が等価なトランジスタにより構

3

成されている請求項 15 記載の不揮発性半導体記憶装置。

【請求項 20】 上記選択トランジスタは、上記メモリセルトランジスタと構造が等価なトランジスタにより構成されている請求項 16 記載の不揮発性半導体記憶装置。

【請求項 21】 接続されたワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化するメモリセルトランジスタを有し、消去動作を行った後に上記ビット線の電位に応じたデータの書き込みをしきい値電圧可変な選択トランジスタを介して行う不揮発性半導体記憶装置のデータ書き込み方法であって、書き込み前消去動作時に、上記選択トランジスタのしきい値電圧を低く設定し、選択トランジスタのしきい値電圧が低い状態でデータの書き込みを行い、書き込み終了後、上記選択トランジスタのしきい値電圧を書き込み時の設定しきい値電圧より高く設定する不揮発性半導体記憶装置のデータ書き込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電氣的に書き換え可能な不揮発性メモリ、たとえばフラッシュEEPROM (Electrically Erasable Programmable Read Only Memory) 等の不揮発性半導体記憶装置およびそのデータ書き込み方法に関するものである。

【0002】

【従来の技術】 図 8 は、NAND型フラッシュEEPROMのメモリアレイ構造を示す図である。図 8 の NAND型フラッシュEEPROMは、便宜上、1本のビット線 BL に接続された NAND ストリング 1 本に 8 個のメモリセルトランジスタ MT0~MT7 が接続された場合のメモリアレイを示している。また、図 8 (a) には書き込み時の選択されたストリングに対する書き込みバイアスを示し、図 8 (b) には書き込み時の非選択ストリングに対する書き込みバイアスを示している。

【0003】 メモリストリングにおいて、各メモリセルトランジスタ MT0~MT7 のコントロールゲート CG がそれぞれワード線 WL0~WL7 に接続されている。メモリセルトランジスタ MT0 のドレインはゲート電極が選択信号供給線 DSG1 に接続された NMOSTランジスタからなる選択トランジスタ DST1 を介してビット線 BL に接続され、メモリセルトランジスタ MT7 のソースはゲート電極が選択信号供給線 SSG1 に接続された NMOSTランジスタからなる選択トランジスタ SST1 を介してソース線 SRL に接続されている。

【0004】 なお、NAND型フラッシュEEPROMの場合、一般的に、n型半導体基板にセルアレイ領域用の第 1 の p ウェルおよび周辺回路領域用の第 2 の p ウェ

4

ルが形成され、第 1 の p ウェルにはゲート絶縁膜、フローティングゲート、層間絶縁膜、およびコントロールゲートを積層したメモリセルが構成され、第 2 の p ウェルには周辺回路の NMOSTランジスタが形成されるとともに、この第 2 の p ウェルに PMOSTランジスタ用の n ウェルが形成される。

【0005】 このような構造を有する NAND型フラッシュEEPROMにおいて、消去動作を行う場合には、n型基板と p ウェルにたとえば 20 V 程度の高電圧を印加し、コントロールゲートに 0 V を印加すると、フローティングゲートから基板ヘトンネル電流が流れ、電子が抜ける。これにより、メモリセルのしきい値電圧 V_{th} が正から負へシフトする。

【0006】 書き込み動作を行う場合、たとえば図 8

(a) に示すように、メモリセルトランジスタ MT3 にデータを書き込む場合には、選択ワード線 WL3 に 20 V、非選択ワード線 WL0~WL2、WL4~WL7 に中間電圧 10 V を印加し、選択信号供給線 DSG1 に 3 V、選択信号供給線 SSG1 に 0 V を印加し、ビット線 BL に 0~3 V を印加することにより行う。これにより、メモリセルトランジスタ MT3 にトンネル電流が流れ、フローティングゲートに電子が注入される。これにより、たとえばメモリセルのしきい値電圧 V_{th} がそのままに保持されるか、負から正へシフトする。

【0007】 読み出し動作を行う場合には、ビット線 BL に 3 V、ソース線 SRL に 0 V を印加し、選択されたメモリトランジスタのコントロールゲートに 0 V を、非選択メモリトランジスタのコントロールゲートに 5 V を与える。非選択メモリトランジスタは、データのいかんにかかわらずオン状態である必要がある。このため、メモリセルのしきい値電圧 V_{th} は所定の電圧、たとえば 3.5 V 以下に制御される。選択されたメモリトランジスタのコントロールゲートに 0 V が印加されることにより、データが「1」であればしきい値電圧 V_{th} が負であるため、オン状態（デプレッション状態）になりセル電流が流れる。一方、データが「0」であれば、しきい値電圧 V_{th} は正であるため、オフ状態（エンハンスメント状態）となりセル電流が流れない。このように、データが「1」であるか「0」であるかはビット線からソース線に複数個のセルを通してセル電流が流れるか否かで決まる。

【0008】 上述したように、EEPROM、フラッシュメモリ等の半導体不揮発性記憶装置においては、1 個のメモリセルトランジスタに「0」、「1」の 2 つの値をとるデータを記録する 2 値型のメモリセル構造が通常である。ところが、最近の不揮発性半導体記憶装置の大容量化の要望に伴い、1 個のメモリセルトランジスタに少なくとも 3 値以上のデータを記録する、いわゆる、多値型の不揮発性半導体記憶装置が提案されている（たとえば、「A Multi-Level 32Mb Flash

5

sh Memory」'95 ISSCC p132～参照）。

【0009】図9はNAND型フラッシュメモリにおいて、1個のメモリトランジスタに2ビットからなり4値をとるデータを記録する場合の、しきい値電圧 V_{th} レベルとデータ内容（分布）との関係を示す図である。

【0010】図9において、縦軸はメモリトランジスタのしきい値電圧 V_{th} を、横軸はメモリトランジスタのしきい値分布頻度をそれぞれ表している。また、1個のメモリトランジスタに記録するデータを構成する2ビットデータの内容は、 $\{D_2, D_1\}$ で表され、 $\{D_2, D_1\} = \{1, 1\}, \{1, 0\}, \{0, 1\}, \{0, 0\}$ の4状態が存在する。すなわち、データ「0」、データ「1」、データ「2」、データ「3」の4状態が存在する。そして、しきい値電圧の分布（多値データの分布）は4値の場合、図9に示すように、正側に3個、負側に1個となっている。

【0011】たとえば図10に示すように、メモリセルトランジスタMT3にデータを書き込む場合には、選択ワード線WL3に20V、非選択ワード線WL0～WL2、WL4～WL7に中間電圧10Vを印加し、選択信号供給線DSG1に3V、選択信号供給線SSG1に0Vを印加し、データ「00」を書き込む場合にはビット線BLに0Vを印加する。データ「01」を書き込む場合にはビット線BLに0.7Vを印加し、データ「02」を書き込む場合には1.4Vを印加し、データ「11」を書き込む場合にはビット線BLに3Vを印加する。

【0012】

【発明が解決しようとする課題】上述したように従来のNAND型フラッシュメモリでは、メモリセルへの書き込み動作は、ビット線BLに0～3V程度の電圧、および選択されたストリングの選択トランジスタDST1のゲート電極に3V程度の電圧 V_{sg} を加えることによって行う。ここで、ビット線BLに加える電圧は、選択トランジスタDST1を介してメモリセルトランジスタのチャネル電圧を制御し、ワード線に加えられる電圧とともに、メモリセルへのデータ書き込みを制御する手段として重要な値となる。

【0013】ところが、ビット線BLに0～3Vの電圧を加えた場合であっても、選択されたストリングの選択トランジスタDST1のゲート電圧 V_{sg} とそのしきい値電圧 V_{thsg} によって制限され、ビット線BLの最大電圧が $(V_{sg} - V_{thsg})$ よりも高い場合には、メモリセルのチャネル電圧として制御できる範囲は0～ $(V_{sg} - V_{thsg})$ Vに制限される。これにより、メモリセルへの書き込み禁止動作の制御性および特性を制限するため、しきい値電圧 V_{thsg} を低くすることが望まれる。

【0014】また、多値書き込み方式を採用したフラッシュメモリにおいては、誤書き込みの防止のため、書き

6

込みデータに応じたメモリセルのチャネル電圧は、十分な電圧間隔をおいて設定する必要があるが、そのためにもチャネル電圧の制御範囲を広げるようにしきい値電圧 V_{thsg} を低くすることが望まれる。

【0015】一方、上記書き込み動作などで、非選択状態にあるストリングの選択トランジスタのゲート電極には、0Vなる電圧 V_{sg} を加え、ビット線BLに加えられた～3Vの電圧により非選択ストリングを介したリーク電流が流れることを防止する必要がある。すなわち、非選択ストリングのリーク電流を防止するには、選択トランジスタのしきい値電圧 V_{thsg} を高くすることが望まれる。

【0016】上記のように、ストリングの選択トランジスタのしきい値電圧の設定においては、いくつかの特性を両立させるための相反する条件を満たす必要があり、全体的には低い特性しか実現できないという不利益がある。

【0017】本発明は、かかる事情に鑑みてなされたものであり、その目的は、メモリセルへの書き込み禁止動作の制御性および特性を改善でき、またチャネル電圧の設定間隔を広くすることができる不揮発性半導体記憶装置およびそのデータ書き込み方法を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するため、本発明は、接続されたワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化するメモリセルトランジスタを有し、上記ビット線の電位に応じたデータの書き込みを行う不揮発性半導体記憶装置であって、上記メモリセルトランジスタと上記ビット線との間に接続され、ゲート電極への選択信号の入力レベルに応じてしきい値電圧が可変な選択トランジスタを有する。

【0019】また、本発明は、接続されたワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化するメモリセルトランジスタを有し、消去動作を行った後に上記ビット線の電位に応じたデータの書き込みを行う不揮発性半導体記憶装置であって、上記メモリセルトランジスタと上記ビット線との間に接続され、ゲート電極への選択信号の入力レベルに応じてしきい値電圧が可変な選択トランジスタと、上記書き込み前消去動作時に、上記選択トランジスタのしきい値電圧を低く設定して書き込みを行い、書き込み終了したならば上記選択トランジスタのしきい値電圧を書き込み時の設定しきい値電圧より高く設定する手段とを有する。

【0020】また、本発明は、接続されたワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化するメモリセルトランジスタを有し、読み出し時には、し

7

きい値電圧に応じて設定されるワード線電圧と蓄積電荷量に基づくデータをビット線に出力するNAND構造の不揮発性半導体記憶装置であって、上記メモリセルトランジスタと上記ビット線との間に接続され、ゲート電極への選択信号の入力レベルに応じてしきい値電圧が可変な選択トランジスタを有する。

【0021】また、本発明は、接続されたワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化するメモリトランジスタを有し、上記メモリトランジスタのしきい値電圧に応じて1個のメモリトランジスタに3値以上の多値データを記録し、読み出し時には、しきい値電圧に応じて設定されるワード線電圧と蓄積電荷量に基づくデータをビット線に出力するNAND構造の不揮発性半導体記憶装置であって、上記メモリセルトランジスタと上記ビット線との間に接続され、ゲート電極への選択信号の入力レベルに応じてしきい値電圧が可変な選択トランジスタを有する。

【0022】また、本発明では、書き込み動作を行う際に、上記選択トランジスタのしきい値電圧を低く設定する手段を有する。また、本発明では、書き込み動作終了後、上記選択トランジスタのしきい値電圧を書き込み時の設定しきい値電圧より高く設定する手段を有する。

【0023】また、本発明では、上記選択トランジスタは、上記メモリセルトランジスタと構造が等価なトランジスタにより構成されている。

【0024】また、本発明は、接続されたワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化するメモリセルトランジスタを有し、消去動作を行った後に上記ビット線の電位に応じたデータの書き込みをしきい値電圧可変な選択トランジスタを介して行う不揮発性半導体記憶装置のデータ書き込み方法であって、書き込み前消去動作時に、上記選択トランジスタのしきい値電圧を低く設定し、選択トランジスタのしきい値電圧が低い状態でデータの書き込みを行い、書き込み終了後、上記選択トランジスタのしきい値電圧を書き込み時の設定しきい値電圧より高く設定する。

【0025】本発明によれば、たとえば所定のメモリセルトランジスタに書き込みを行う場合に、そのメモリセルトランジスタが接続された選択トランジスタのしきい値電圧が低く設定される。そして、この選択トランジスタのしきい値電圧が低い状態でデータの書き込みが行われる。書き込みが終了すると、選択トランジスタのしきい値電圧が書き込み時の設定しきい値電圧より高く設定される。すなわち、書き込み動作（書き込み前消去動作）開始前のしきい値電圧に戻される。なお、選択されていないメモリセルトランジスタが接続されている選択トランジスタのしきい値電圧は、高い値のままに保持され、リーク電流の発生が防止される。

8

【0026】

【発明の実施の形態】図1は、本発明に係る不揮発性半導体記憶装置が適用されるフラッシュメモリのシステム構成図である。このフラッシュメモリは、メモリアレイMA、ロー回路(Row Circuit)RC、カラム回路(Column Circuit)CC、およびウェル電圧制御回路WVCにより構成されている。

【0027】メモリセルアレイMAは、 n 本のワード線WLと m 本のビット線BLで結線された、 $n \times m$ 個のセル(図示せず)を有し、NAND型メモリストリングに対応したワード線毎の k ブロックBLK1~BLK k を有している。各ワード線WLおよびビット線BLは、セルへのデータ書き込み/読み出し/消去を制御するロー回路RCおよびカラム回路CCに接続され、所望のアドレスのセルへのアクセスが制御される。

【0028】図2は、本発明に係るフラッシュメモリのメモリセルアレイ構造を示す図である。図2は、便宜上、1本のビット線BLに接続されたNANDストリング1本に8個のメモリセルトランジスタMT10~MT17が接続された場合のNAND型フラッシュメモリアレイを示している。

【0029】メモリストリングMSTRにおいては、たとえばフローティングゲートでの電荷の蓄積、放出によりデータの書き込み・消去が可能な n 型のメモリセルトランジスタMT10~MT17が直列に接続され、各メモリセルトランジスタMT10~MT17のコントロールゲートCGがそれぞれワード線WL10~WL17に接続されている。メモリセルトランジスタMT10のドレインはゲート電極が選択信号供給線DSG10に接続された選択トランジスタDST10を介してビット線BLに接続され、メモリセルトランジスタMT17のソースはゲート電極が選択信号供給線SSG10に接続されたNMOSTランジスタからなる選択トランジスタSST10を介してソース線SRLに接続されている。

【0030】そして、本実施形態に係るメモリストリングMSTRにおける選択トランジスタDST10は、しきい値 V_{thsl0} が可変なトランジスタ、たとえばメモリセルトランジスタと同様なスタックゲート型のトランジスタにより構成されている。選択トランジスタDST10のしきい値電圧 $thsl0$ は、たとえば0V~1V程度の値に可変とすることができ、後述するように、動作(特に書き込み動作)に応じて必要なしきい値をとるように、選択信号供給線DSG10への印加電圧が制御される。

【0031】そして、メモリストリングMSTRの各メモリセルトランジスタMT10~MT17、選択トランジスタDST10、SST10はpウェルに形成されており、このpウェルがウェル電圧制御回路WVCに接続されている。また、選択信号供給線DSG10は駆動電圧VDSGの供給ライン(図示せず)に接続され、選択

9

信号供給線SSG10は駆動電圧VSSGの供給ライン(図示せず)に接続されている。なお、選択信号供給線DSG10、SSG10は、たとえば図示しない高耐圧NMOSトランジスタを介して駆動電圧VDSG、VSSGの供給ラインに接続さる。

【0032】次に、上記構成による消去動作を伴う書き込み動作について、図3、図4、図5および図6に関連付けて説明する。ここでは、書き込み動作は図2におけるメモリセルトランジスタMT13に対して行う場合を例に説明する。なお、図3は書き込み動作を説明するためのフローチャート、図4は書き込み前の消去動作時の選択ストリングと非選択ストリングのバイアス条件を示す図、図5は書き込み時の選択ストリングと非選択ストリングのバイアス条件を示す図、図6は書き込み動作後に選択トランジスタのしきい値電圧を高しきい値化する場合の選択ストリングと非選択ストリングのバイアス条件を示す図である。

【0033】まず、データの書き込み動作に先立って、書き込み対象の選択ブロックに対する消去動作および選択ストリングの選択トランジスタのしきい値電圧 V_{thsl} の低しきい値電圧化が行われる(S1、S2)。具体的には、ウェル電圧制御回路WVCによりn型基板とpウェルにたとえば20V程度の高電圧が印加される。そして、図4(a)に示すように、ロー回路RCにより選択されたストリングのメモリセルトランジスタMT10~WL17のコントロールゲートが接続されたワード線WL10~WL17に0Vが印加されるとともに、選択トランジスタDST10のゲート電極(コントロールゲートに相当)が接続された選択信号供給線DSG10に0V、ソース線SRL側の選択トランジスタSST10のゲート電極が接続された選択信号供給線SSG10に20Vが印加される。このとき、カラム回路CC等によりビット線BLおよびソース線SRLはフローティング状態に保持される。これにより、メモリセルトランジスタMT10~WL17のフローティングゲートから基板へトンネル電流が流れ、電子が抜ける。すなわち、データが消去され、メモリセルのしきい値電圧 V_{th} が正から負へシフトする。また、このとき、ビット線BL側の選択トランジスタDST10のしきい値電圧 V_{thsl} が1Vから0Vに遷移する。すなわち低しきい値電圧化される。

【0034】また、この消去動作時には、非選択ストリングに対しては、図4(b)に示すように、メモリセルトランジスタMT10~WL17のコントロールゲートが接続されたワード線WL10~WL17、選択トランジスタDST10、SST10のゲート電極が接続された選択信号供給線DSG10、SSG10に20Vが印加される。これにより、非選択ストリングのデータの消去が抑止されるとともに、ビット線BL側の選択トランジスタDST10のしきい値電圧 V_{thsl} が1Vのまま

10

に保持される。すなわち低しきい値電圧化が抑止される。

【0035】以上の消去動作が終了すると、書き込み動作が行われる(S3、S4)。具体的には、たとえば図5(a)に示すように、メモリセルトランジスタMT13にデータを書き込む場合には、選択ワード線WL13に20V、非選択ワード線WL10~WL12、WL14~WL17に中間電圧10Vが印加され、選択信号供給線DSG1に3V、選択信号供給線SSG1に0Vが印加され、ビット線BLに書き込みデータに応じて0Vまたは3Vが印加される。このとき、ソース線SRLは接地レベル(0V)に保持され、ウェル電圧制御回路20によりpウェル12に対して0Vが印加され、基板も0Vに保持される。これにより、メモリセルトランジスタMT13に所望のデータが書き込まれ、他のメモリセルトランジスタMT10~MT12、MT14~MT17への書き込みは行われない。これにより、たとえばメモリセルのしきい値電圧 V_{th} がそのままに保持されるか、負から正へシフトする。

【0036】また、この書き込み動作時には、非選択ストリングに対しては、図5(b)に示すように、メモリセルトランジスタMT10~WL17のコントロールゲートが接続されたワード線WL0~WL7、選択トランジスタDST10、SST10のゲート電極が接続された選択信号供給線DSG10、SSG10に0Vが印加される。そして、カラム回路CC等によりビット線BLおよびソース線SRLに0Vが印加される。したがって、ビット線BL側の選択トランジスタDST10のしきい値電圧 V_{thsl} が1Vのままに保持されることから、非選択ストリングを介するリーク電流の発生が防止される。一方、選択ストリングのチャネル電圧は、選択トランジスタDST10のしきい値電圧 V_{thsl} が0Vとなっていることから、0~3Vの範囲で制御可能であり、メモリセルへの書き込み禁止動作の制御性および特性改善が可能である。

【0037】書き込み動作が終了すると、低しきい値電圧化されている、選択ストリングのビット線BL側の選択トランジスタDST10のしきい値電圧 V_{thsl} を0Vから1Vに戻す高しきい値電圧化が行われる(S5)。具体的には、図6(a)に示すように、ワード線WL0~WL7に0Vが印加されるとともに、選択トランジスタDST10のゲート電極(コントロールゲートに相当)が接続された選択信号供給線DSG10に20V、ソース線SRL側の選択トランジスタSST10のゲート電極が接続された選択信号供給線SSG10に0Vが印加される。このとき、カラム回路CC等によりビット線BLおよびソース線SRLは0Vに保持される。これにより、ビット線BL側の選択トランジスタDST10のしきい値電圧 V_{thsl} が0Vから1Vに遷移する。

【0038】このとき、非選択ストリングに対しては、図6(b)に示すように、メモリセルトランジスタMT10~WL17のコントロールゲートが接続されたワード線WL0~WL7、選択トランジスタDST10、SST10のゲート電極が接続された選択信号供給線DSG10、SSG10に0Vが印加される。また、カラム回路CC等によりビット線BLおよびソース線SRLに0Vが印加される。

【0039】そして、ビット線BL側の選択トランジスタDST10のしきい値電圧 V_{thsl0} を0Vから1Vに戻すことにより、書き込み動作が終了する(S6)。

【0040】以上のように、本実施形態によれば、NAND型フラッシュEEPROMにおいて、各ストリングをビット線BLに接続する選択トランジスタDST10をしきい値可変なトランジスタで構成し、書き込み時に書き込み対象のストリングの選択トランジスタのしきい値を低しきい値電圧化(1Vから0Vへ遷移させ)し、非選択ブロックにおけるストリングの選択トランジスタDST10のしきい値電圧は高いしきい値のまま(1V)に保持し、書き込み終了後、低しきい値電圧化した選択されたストリングの選択トランジスタのしきい値を高いしきい値電圧(1V)に戻すようにしたので、非選択ストリングを介するリーク電流の発生を防止でき、また、選択ストリングのチャネル電圧は、選択トランジスタDST10のしきい値電圧 V_{thsl0} が0Vとなっていることから、0~3Vの範囲で制御可能であり、メモリセルへの書き込み禁止動作の制御性および特性改善が可能となるという利点がある。

【0041】なお、上述の説明では、2値のデータを記憶するメモリセルトランジスタを例に説明したが、1個のメモリセルトランジスタに少なくとも3値以上のデータを記録する、いわゆる、多値型の不揮発性半導体記憶装置にも本発明が適用できることはいうまでもない。

【0042】たとえば図7に示すように、メモリセルトランジスタMT13にデータを書き込む場合には、選択ワード線WL13に2.0V、非選択ワード線WL10~WL12、WL14~WL17に中間電圧1.0Vが印加され、しきい値電圧が1Vが0Vに低電圧化された選択トランジスタDST10のゲート電極が接続された選択信号供給線DSG1に3V、選択信号供給線SSG1に0Vが印加され、データ「00」を書き込む場合にはビット線BLに0Vを印加される。データ「01」を書き込む場合にはビット線BLに1V(従来は0.7V)が印加され、データ「02」を書き込む場合には2V(従来は1.4V)が印加され、データ「11」を書き込む場合にはビット線BLに3Vが印加される。

【0043】このように、選択トランジスタDST10をしきい値可変なトランジスタで構成した多値書き込み方式を採用したフラッシュメモリにおいては、書き込みデータに応じたメモリセルのチャネル電圧を十分な電圧

間隔をおいて設定することができ、誤書き込みを防止できる利点がある。

【0044】なお、上述した実施形態では、NAND型ストリングを例に説明したが、本発明が選択トランジスタを介してビット線BLとメモリストリングとのデータの授受を行う他のフラッシュEEPROM、たとえばDINOR型、AND型等のフラッシュEEPROMに適用できることはいうまでもない。

【0045】

【発明の効果】以上説明したように、本発明によれば、非選択ストリングを介するリーク電流の発生を防止でき、また、選択ストリングのチャネル電圧は、選択トランジスタのしきい値電圧が低電圧に制御されていることから、広い範囲で制御可能であり、メモリセルへの書き込み禁止動作の制御性および特性改善が可能となるという利点がある。

【0046】また、多値書き込み方式を採用したフラッシュメモリにおいては、書き込みデータに応じたメモリセルのチャネル電圧を十分な電圧間隔をおいて設定することができ、誤書き込みを防止できる利点がある。

【図面の簡単な説明】

【図1】本発明に係るフラッシュメモリのシステム構成を示すブロック図である。

【図2】本発明に係るNAND型フラッシュメモリのメモリセルアレイ構造を示す図である。

【図3】本発明に係るNAND型フラッシュメモリの書き込み動作を説明するためのフローチャートである。

【図4】本発明に係るNAND型フラッシュメモリにおける書き込み前の消去動作時の選択ストリングと非選択ストリングのバイアス条件を示す図である。

【図5】本発明に係るNAND型フラッシュメモリにおける書き込み時の選択ストリングと非選択ストリングのバイアス条件を示す図である。

【図6】本発明に係るNAND型フラッシュメモリにおける書き込み動作後に選択トランジスタのしきい値電圧を高しきい値化する場合の選択ストリングと非選択ストリングのバイアス条件を示す図である。

【図7】本発明に係る多値書き込み方式を採用したフラッシュメモリにおける書き込み動作を説明するための図である。

【図8】NAND型フラッシュEEPROMのメモリアレイ構造を示す図である。

【図9】本発明に係るNANDフラッシュメモリにおいて、1個のメモリトランジスタに2ビットからなり4値をとるデータを記録する場合の、しきい値電圧 V_{th} レベルとデータの分布との関係を示す図である。

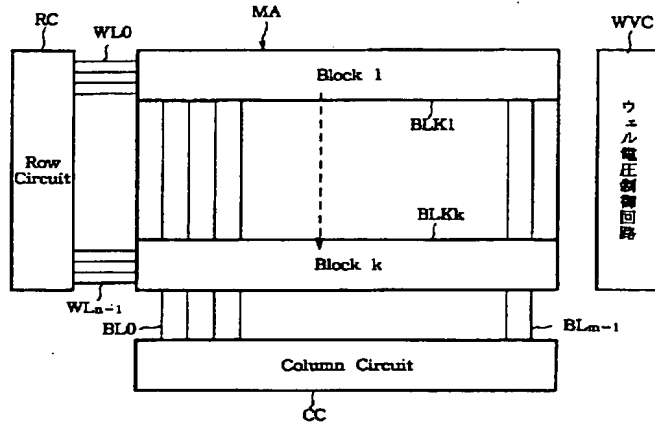
【図10】従来の多値書き込み方式を採用したフラッシュメモリにおける書き込み動作を説明するための図である。

【符号の説明】

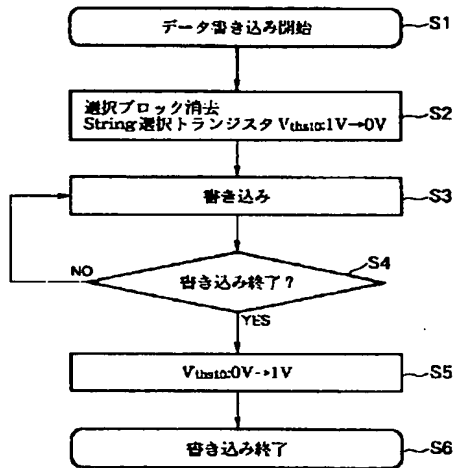
13

MT10~MT17…メモリセルトランジスタ、DST10、SST10…選択トランジスタ、WL0~WL7…ワード線、BL…ビット線、DSG10、SSG10*

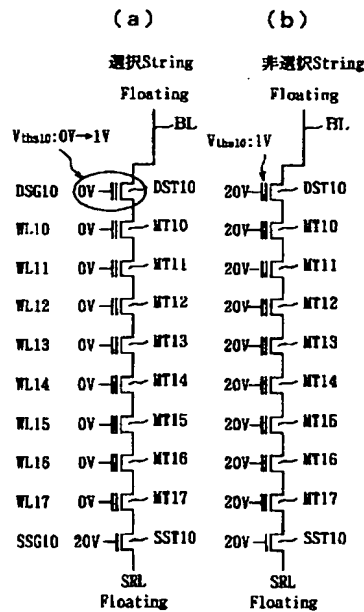
【図1】



【図3】



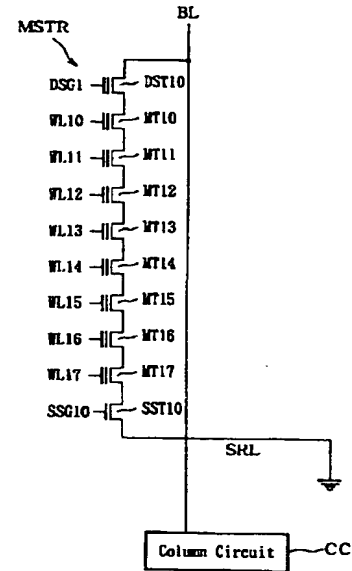
【図4】



14

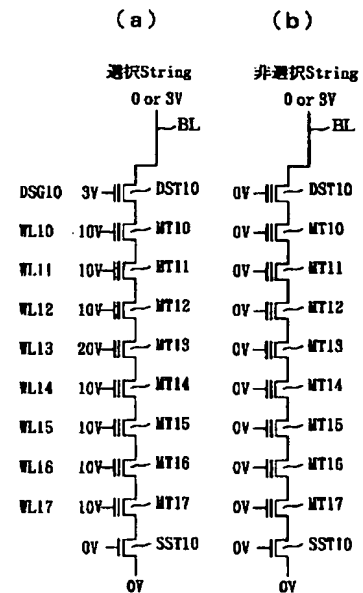
*…選択信号供給線、RC…ロー回路、CC…コラム回路、WVC…ウェル電圧制御回路。

【図2】

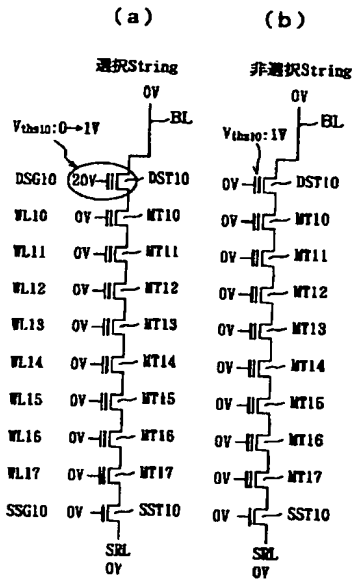


【図5】

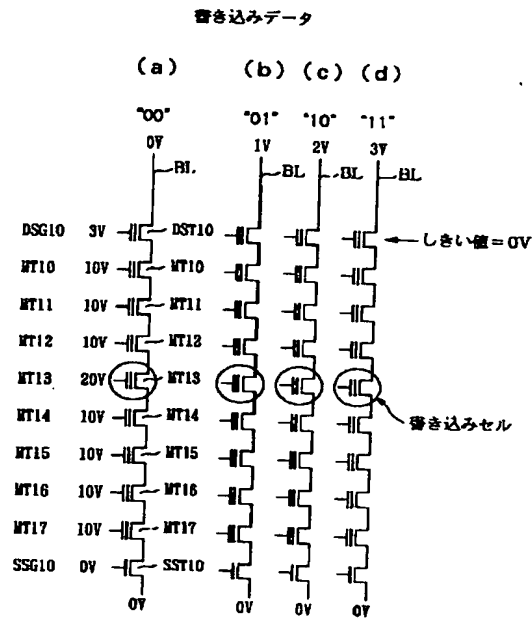
書き込み動作



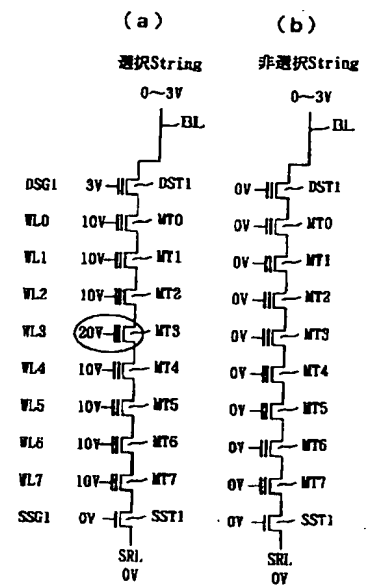
【図6】



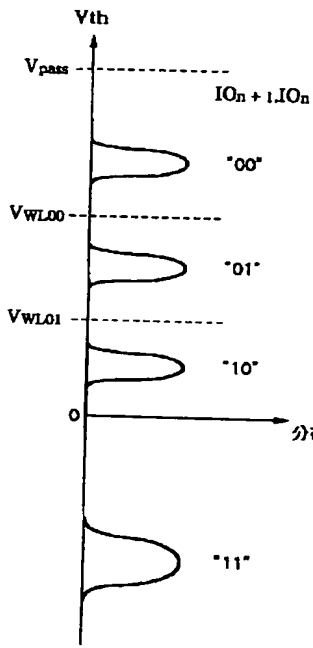
【図7】



【図8】



【図9】



【図10】

